

Grafikfähiger Mikrorechner mit U 880

Dr.-Ing. BURKHART FIMMEL

Mitteilung aus dem Zentralinstitut für Kybernetik und Informationsprozesse der Akademie der Wissenschaften der DDR

Einfache Mikrorechner mit der CPU U 880 und einem Fernseher als Ausgabemedium für Anwendungen als Heim- oder Lerncomputer wurden in der Literatur schon wiederholt vorgestellt. Dabei sind die Schaltungen von besonderem Interesse, die zur Verringerung des Aufwands in geschickter Weise Eigenschaften der CPU U 880 zur Bildausgabe nutzen (Sinclair ZX 81 oder die Anordnung nach [1]). Unglücklicherweise werden die Einsparungen an Schaltungsaufwand oft mit starken Softwareeinschränkungen erkauft. Kompatibilität zu anderen und weit verbreiteten Rechnerkonzepten und Softwarepaketen ist nicht oder nur teilweise gegeben. Die Schwierigkeiten der Einbindung bewährter Betriebssoftware in Minimalrechnerkonfigurationen sind so groß, daß es besser ist, entweder konventionelle, aufwendige Rechnerschaltungen oder existierende Rechner als Vorbild für softwarekompatible Aufbauten zu verwenden. Bekannt sind Lösungen mit Grafikcontrollern und speziellen Bildwiederholerspeichern oder die Multiplexsteuerung (Rechnerzugriff und Zählerkette zur Bilddatenausgabe) eines Teils des Rechnerspeichers.

Der in diesem Beitrag beschriebene grafikfähige Mikrorechner basiert auf der CPU U 880 und arbeitet mit einem CP/M-kompatiblen Betriebssystem. Vorteile sind u. a. der geringe Hardwareaufwand und die Möglichkeit, daß der Bildwiederholerspeicher beliebiger Teil des Rechnerspeichers sein kann. Das Entwicklerkollektiv wurde für die Entwicklung dieses Mikrorechners beim Konsumgüterwettbewerb der KDT 1986 mit dem Ingenieurpreis ausgezeichnet.

Für die vorliegende aufwandsarme und leistungsfähige Hardwarekonfiguration wurde ein CP/M-kompatibles Betriebssystem entwickelt. Diese Betriebssystemvariante ermöglicht eine einfache Einbindung von Anwendersoftware (höhere Programmiersprachen, Texteditoren, Grafiksoftware ...) und Ein- und Ausgabekanälen (Terminalfunktion, Kassetteninterface, Floppy-Disk bzw. RAM- oder ROM-Floppy-Disk).

Funktionsbeschreibung

Der Bildwiederholerspeicher in der Schaltung nach Bild 1 ist ein beliebiger Teil des Rechnerspeichers. Während der Bilddatenausgabe an den Fernseher (Ausgabe zweier identischer Halbbilder) wird der Teil des Rechnerspeichers, in dem die Bilddaten abgelegt sind, von der CPU während der Refreshzyklen adressiert und ausgelesen. Dabei wird ausgenutzt, daß die CPU während der Refreshzyklen das R-Register auf den niederwertigen Teil und das I-Register auf den höherwertigen Teil des Adreßbusses ausgibt. R- und I-Register lassen sich zu Beginn der Ausgabe einer Bildzeile durch Rechnerbefehle beliebig setzen. Während der Bildzei-

lenausgabe wird das R-Register in aufeinanderfolgenden Refreshzyklen inkrementiert und damit die nacheinander im Speicher abgelegten Datenbytes einer Zeile ausgegeben. Da der Refreshzähler nur ein Siebenbitzähler ist, beträgt die maximal adressierbare Blocklänge 128 byte. Das achte Bit kann nur durch CPU-Befehl geändert werden. Damit die Daten gleichmäßig aus dem Rechnerspeicher ausgelesen werden können, müssen während der Zeilendatenausgabe die Refreshzyklen im gleichen Abstand aufeinanderfolgen. In der vorliegenden Schaltung wird für die Bilddatenausgabe der Haltbefehl verwendet. Dieser Befehl ist vier Taktzyklen lang und ermöglicht so die schnellste Datenausgabe nach dem oben beschriebenen Verfahren. Ein weiterer Vorteil ist, daß der Haltzustand durch einen CPU-Ausgang angezeigt wird, was zur Freigabe der Datenausgabe an den Fernseher genutzt werden kann. Der Haltzustand läßt sich durch Interrupt unterbrechen. Da das I-Register zur Bildspeicheradressierung verwendet wird, können während der Bilddatenausgabe nur IMO- oder IM1- bzw. NMI-Interrupts systemgerecht bearbeitet

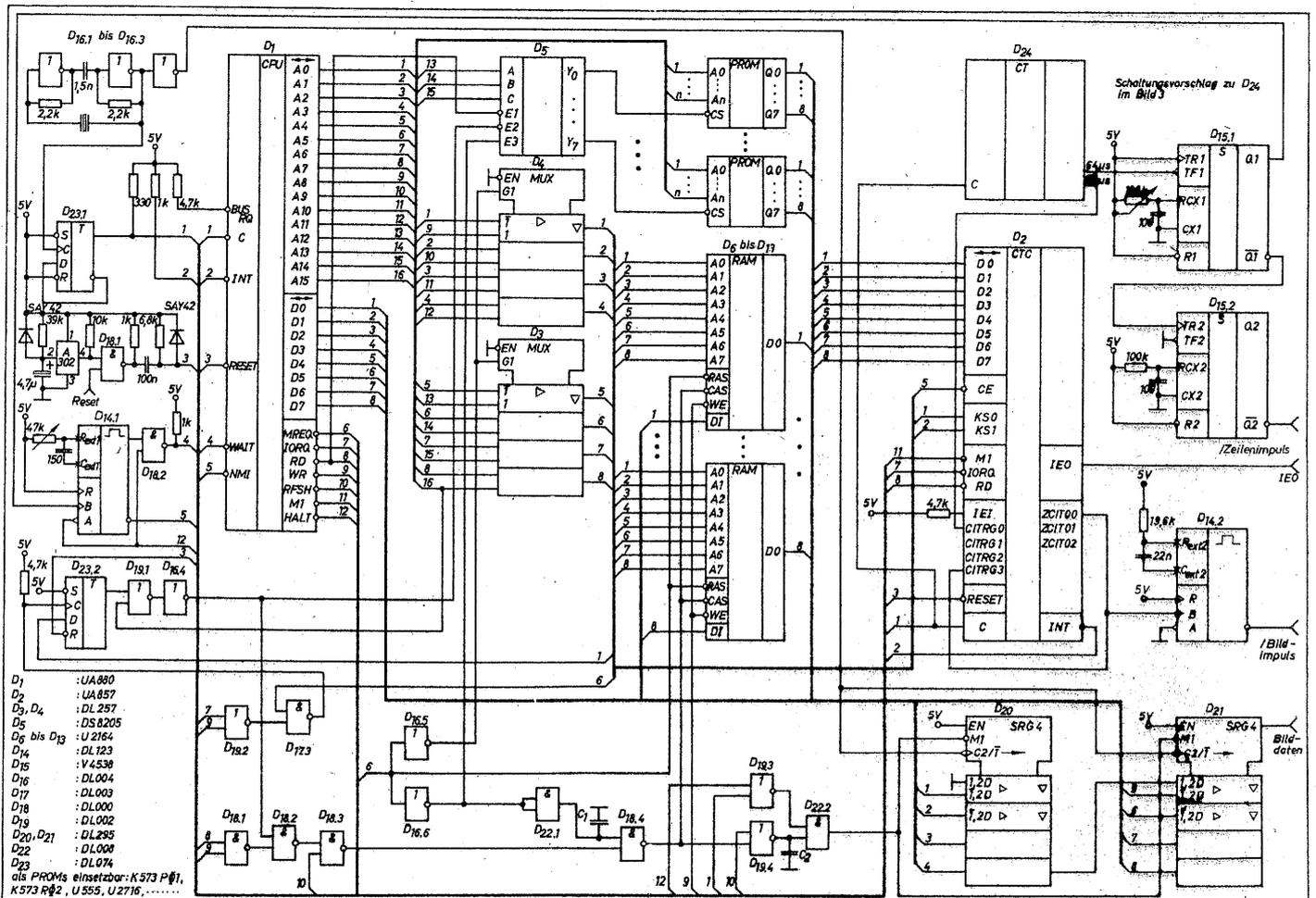


Bild 1: Stromlaufplan des grafikfähigen Mikrorechners

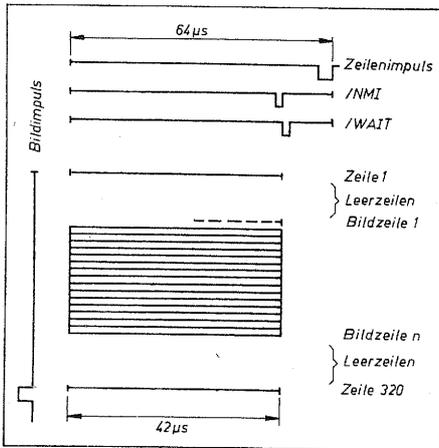


Bild 2: Erläuterung der zeitlichen Verläufe bei der Bilddatenausgabe

Tafel 1: Anzahl der ausgegebenen Datenbytes und horizontale Auflösung für binäre Grafikausgabe in Abhängigkeit vom Prozessortakt (Haltbefehl \triangleq 4 Taktzyklen \triangleq Ausgabe eines Bytes)

Systemtaktfrequenz in MHz	Datenbytes je Zeile	Rasterpunkte je Zeile
3	32	256
4	42	336
4,5	48 (42,6 μ s)	384
5	54 (43,2 μ s)	432
5,5	58 (42,2 μ s)	464
6	64	512

werden. Hier wird zum Abbruch der Zeilenausgabe ein NMI-Interrupt erzeugt, der in der Abarbeitung auch die kleinste Anzahl an Systemtaktten benötigt.

Die Schaltung nach Bild 1 zeigt einen nach den angegebenen Funktionsprinzipien realisierten Mikrorechner. Der Zeilenimpuls von 9 μ s wird hier aus einer Zählkette D₂₄ und dem Monoflop D₁₅ abgeleitet. Dieser Impuls könnte auch durch freie CTC-Kanäle erzeugt werden, jedoch werden hier diese Kanäle für andere Aufgaben, z. B. für ein Kassettenschnittstelle, freigehalten. Die Lage des Zeilenimpulses und damit die Lage der ausgegebenen Zeile auf dem Bildschirm kann durch einen Einstellwiderstand verändert werden. Der Bildimpuls von etwa 200 μ s wird mit dem CTC-Kanal 0 und einem Monoflop gewonnen. Der CTC-Kanal wird so programmiert, daß alle 320 Zeilen ein Impuls ausgelöst wird. Das liegt zwar etwas über der Videonorm von 312,5 Zeilen/Halbbild, jedoch wird auch damit eine stabile Bildsynchronisation erreicht.

Zur Erläuterung der vertikalen und horizontalen Synchronisation der Rechnerbildausgabe (Erzeugung eines stabilen Bildes) mit dem starren, durch Zeilen- und Bildimpuls vorgegebenen Ansteuerregime des Fernsehers dient Bild 2. Ein Bildimpuls ZZO triggert den Zähler 3 des CTC-Bausteins, dessen Zeitkonstante die Anzahl der Leerzeilen am oberen Bildrand bestimmt. Die CPU arbeitet bis zur Ausgabe der ersten Bildzeile im normalen Rechnerbetrieb. Vor Beginn der Ausgabe von Bilddaten löst CTC-Kanal 3 einen Interrupt aus. Die CPU springt in die Bildausgabeinterruptroutine. Hier werden anfangs I- und R-Register so gesetzt, daß während eines folgenden Haltbefehls leere Speicherzellen (00) in den Bildausgaberefreshzyklen adressiert, in das 8-bit-Schieberegister D₂₀, D₂₁ geladen und auf dem Bildschirm ausgegeben werden (gestrichelte Linie im Bild 2). Damit bleibt der Bildschirm weiterhin dun-

Tafel 2: Bildausgabeinterruptroutine für eine Systemtaktfrequenz von 3 MHz und 32 byte je Bildzeile

external syspam					
				halt	;Ausgabe 1. Bildzeile
				inc c	;Erhöhen "I-Register-Zähler"
				inc hl	;Füllbefehl
				ld a,01fh	
				ld r,a	;R-Register für zweite Zeile
				halt	;Ausgabe 2. Bildzeile
				jp irct0	;Füllbefehl
			irct0	ld a,03fh	
				ld r,a	
				halt	;Ausgabe 3. Bildzeile
				jp irct1	;Füllbefehl
			irct1	ld a,05fh	
				ld r,a	
				halt	;Ausgabe 4. Bildzeile
				jp irct2	;Füllbefehl
			irct2	ld a,0ffh	
				ld r,a	
				halt	;Ausgabe 5. Bildzeile
				jp irct3	;Füllbefehl
			irct3	ld a,09fh	
				ld r,a	
				halt	;Ausgabe 6. Bildzeile
				dec b	;Dekrementieren Zeilenzähler
				dec hl	;Füllbefehl
				ld a,0bf	
				ld r,a	
				halt	;Ausgabe 7. Bildzeile
				ld a,0deh	
				ld r,a	
				jp nz loop	
				halt	;Ausgabe letzte Bildzeile
				pop af	
				ld i,a	;Vorbereiten der Rückkehr
				pop hl	
				pop bc	;zum Hauptprogramm
				ld a,(syspam+7)	;Zeitkonstante CTC-Kanal 3
				out (ctc+3),a	;bestimmt den Abstand des Bildes vom oberen Rand
			loop	pop af	
				ei	
				reti	
				org 066h	
				retn	;NMI-Interruptrückprung am Bildzeilenende

kel, und ein störendes Bildflimmern am oberen Bildrand wird vermieden (vertikale Bildsynchronisation). Am Bildzeilenende wird durch das Zeilenimpulsmonoflop D₁₅ das Monoflop D₁₄ angestoßen und ein NMI-Interrupt ausgelöst. Dadurch verläßt die CPU den Haltzustand und geht solange in den Waitzustand über, bis die Rechnerbefehlsabarbeitung synchron zum Zeilenimpuls ist (horizontale Synchronisation). Die Zeilenlänge ist in ein 42 μ s sichtbares Bildfenster und eine Dunkelastzeit von 22 μ s aufgeteilt. In den 22 μ s wird der NMI-Interrupt quittiert und CPU-Befehle zur Vorbereitung der Ausgabe der ersten sichtbaren Bildzeile (Setzen von I- und R-Register) abgearbeitet.

Im folgenden Haltzustand wird die erste Bildzeile ausgegeben. Die beschriebenen Vorgänge wiederholen sich jetzt bis zur Ausgabe der letzten Bildzeile. Wichtig ist, daß die Summe der CPU-Taktzyklen zur Befehlsabarbeitung in den Zeilenaustastlücken stets $\leq 22 \mu$ s und für alle Zeilenaustastlücken gleich ist, um einen störenden Zeilenversatz oder eine Zeilenverkürzung zu verhindern. Die Differenz zu 22 μ s wird durch den Waitgenerator D₁₄, D₁₇ ausgeglichen.

Nach der Ausgabe der letzten Bildzeile springt die CPU aus der Interruptroutine zurück in das Anwenderprogramm. Die Anzahl der Datenbytes, die in den 42 μ s der

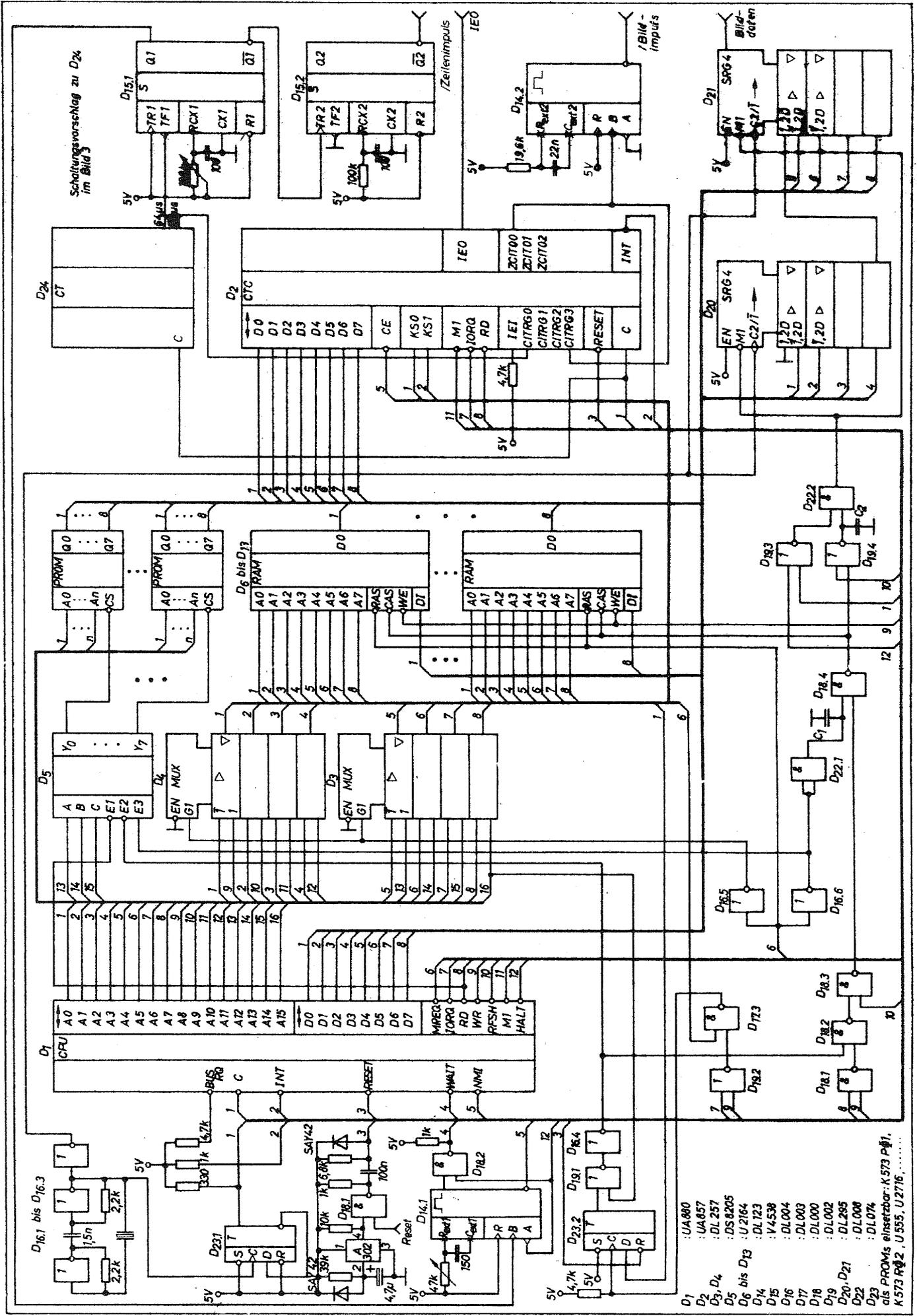
Zeilenausgabezeit ausgegeben werden können, richtet sich nach der Systemtaktfrequenz und ist Tafel 1 zu entnehmen.

Eine Interruptroutine für 3 MHz zeigt das Assemblerlisting in Tafel 2. Bildanfang, Bildzeilenanzahl und Anzahl der Leerzeilen nach Bildwechsel sind externe Parameter und können den jeweiligen Erfordernissen der Programmabarbeitung angepaßt werden. Der Bildspeicher ist hier so organisiert, daß 32 byte/Bildzeile vorgesehen sind und die Bildzeilen lückenlos nacheinander in einem geschlossenen Speicherbereich abgelegt sind.

Die Anzahl der Maschinenzyklen zur Abarbeitung der Befehle in den Austastlücken ist in dem Programm stets gleich (26 Taktzyklen). Zusammen mit der NMI-Abarbeitung am Ende der Zeilenausgabe und einigen Waitzyklen ergibt sich die Gesamtrechenzeit in den Austastlücken von 22 μ s. Bei 3 MHz Systemtakt reicht die Rechenzeit dazu aus, I- und R-Register geeignet zu setzen.

Nach den angegebenen Prinzipien lassen sich auch andere synchrone Ausgaben von Datenblöcken bis zu 128 byte aus dem Mikrorechner realisieren (DMA-Transfer). Auch Dateneingaben, d. h. Bildeingaben bzw. Eingaben anderer Daten in Videogeschwindigkeit, sind möglich.

Die Schaltung ist so ausgelegt, daß sie in der Systemtaktfrequenz variabel ist. Wird eine



- D1 :UA980
- D2 :UA857
- D3, D4 :DL257
- D5 :DS8205
- D6 bis D13 :U2164
- D14 :DL123
- D15 :V4538
- D16 :DL004
- D17 :DL000
- D18 :DL002
- D19 :DL285
- D20, D21 :DL008
- D22 :DL074
- D23 als PROMs einsetzbar: K573 P#1, K573 P#2, U555, U2716,

Bild 1: Stromlaufplan des grafikfähigen Mikrorechners